

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-148561

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl.⁸

H01L 21/768
21/28
29/78

識別記号

301 S

庁内整理番号

F I

技術表示箇所

H01L 21/90

C

A

審査請求 未請求 請求項の数12 O L (全 14 頁) 最終頁に続く

(21) 出願番号

特願平6-282337

(22) 出願日

平成6年(1994)11月16日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 木村 雅俊

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

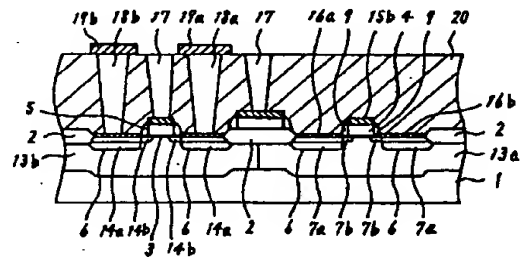
(74) 代理人 弁理士 大岩 増雄

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【目的】 ゲート電極、ソース/ドレイン領域に当接するコンタクトホールを同時に形成する場合に、それぞれゲート電極、ソース/ドレイン領域の下層までエッチングしない構造とし、絶縁層上の配線の形成を容易にする半導体装置を得る。

【構成】 ゲート電極を構成するシリコン層上に2層構造からなるシリサイド層、若しくは選択比の高い物質からなるシリサイド層を形成し、コンタクトホール形成時のエッチングストッパーとする。また、コンタクトホールを形成する絶縁層の上面はCMP法によって平坦化し、その後の配線等の形成を容易にする。さらに、ゲート電極上に2層のシリサイド層を形成する場合は、同じ物質で構成する場合と、異なる物質で構成する場合がある。



13a, 13b : P, N型不純物拡散領域

14a, 14b : P⁺, P⁻型拡散領域

15b, 16a, 16b : シリサイド層

17 : ワード線コンタクト

18a, 18b : コンタクト

19a, 19b : 配線

20 : 絶縁層

【特許請求の範囲】

【請求項 1】 半導体基板、この半導体基板の一主面上に設けられたソース／ドレイン領域、上記半導体基板の一主面に形成されたゲート絶縁層と、この絶縁層状に形成されたシリコン層からなるゲート電極、上記ソース／ドレイン領域上に形成された第一のシリサイド層、上記ゲート電極上に形成された第一のシリサイド層よりも厚い膜である第二のシリサイド層、少なくとも第一、第二のシリサイド層の上部に形成され、CMP法により平坦化された絶縁層、上記第一、第二のシリサイド層に当接するように絶縁層中に埋設されたコンタクトを有することを特徴とする半導体装置。

【請求項 2】 第二のシリサイド層は 2 種類の層からなり、一方の層は第一のシリサイド層と同じ物質で同時に RTA 法により形成された層であり、他方の層はスパッタリング法によって積まれた層であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 第二のシリサイド層は 2 種類の層からなり、一方の層は高融点金属層を形成後、RTA 法によりシリサイド化した層であり、他方の層は第一のシリサイド層と同じ物質で、第一のシリサイド層を構成する高融点金属膜と同時に RTA 法により形成した層であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 第二のシリサイド層は 2 種類の層からなり、一方の層はゲート電極に近い側に形成された第一の高融点金属層、他方の層は第一の高融点金属層上に形成された第二の高融点金属層であり、第一、第二の高融点金属層を同時に RTA 法によってシリサイド化させることによって形成した層であることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 第二のシリサイド層は 2 種類の層からなり、一方の層は、ゲート電極の上面に高融点金属イオンを注入後、RTA 法によってシリサイド化した第一のシリサイド層、他方の層は、第一のシリサイド層上に高融点金属層を形成後、RTA 法によってシリサイド化した第二のシリサイド層であり、上記第一のシリサイド層と第二のシリサイド層を同時に RTA 法によってシリサイド化して形成したことを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 第二のシリサイド層は、物質が異なる 2 種類のシリサイド層の積層構造であり、第一のシリサイド層は、第二のシリサイド層を構成する二層の内の上層のシリサイド層と同じ物質で形成されており、第二のシリサイド層である下層のシリサイド層は、その上層のシリサイド層よりも選択比が高い物質で構成されたことを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 半導体基板、この半導体基板の一主面に形成されたソース／ドレイン領域、上記半導体基板の一主面に形成されたゲート絶縁層とシリコン層からなるゲート電極、上記ソース／ドレイン領域上に積層された第

一のシリサイド層、上記ゲート電極上に積層された第二のシリサイド層、この第二のシリサイド層上に積層されたチタンナイトライド層、少なくとも上記チタンナイトライド層とゲート電極の側面に形成されたサイドウォールを有することを特徴とする半導体装置。

【請求項 8】 第二のシリサイド層を形成する物質が、第一のシリサイド層を形成する物質よりも選択比の高い物質で構成されたことを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 半導体基板の一主面に形成された素子分離領域、この素子分離領域上に形成されたゲート電極と、ソース／ドレイン領域の上に形成されたゲート電極が、ほぼ同じ高さに形成されていることを特徴とする請求項 1 ないし 8 のいずれか一項記載の半導体装置。

【請求項 10】 半導体基板の一主面上に形成されたソース／ドレイン領域の上面に第一のシリサイド層を形成する工程、半導体基板の一主面上に形成されたゲート絶縁層とシリコン層とからなるゲート電極上に、第一のシリサイド層よりも厚い第二のシリサイド層を形成する工程、少なくとも第一、第二のシリサイド層の上部に絶縁層を形成し、これを CMP 法によって平坦化する工程、第一、第二のシリサイド層に当接するように上記絶縁層中にコンタクトを埋設する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 11】 半導体基板の一主面に形成されたソース／ドレイン領域上に第一のシリサイド層を形成する工程、半導体基板の一主面上に形成されたゲート絶縁層とシリサイド層からなるゲート電極上に第二のシリサイド層を形成する工程、第二のシリサイド層上にチタンナイトライド層を形成する工程、チタンナイトライド層とゲート電極の側面に接するようにサイドウォールを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 12】 半導体基板の一主面に LOCOS 法によって形成された素子分離領域、上記素子分離領域の上部をエッチングし半導体基板の一主面以下の高さに形成する工程を含むことを特徴とする請求項 10 ないし 11 のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体記憶装置等の半導体装置及びその製造方法、特にゲート電極、ソース／ドレイン領域上にシリサイド層を形成した MIS (METAL INSULATOR SEMICONDUCTOR) 型半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 図 35 は、例えば特開平 2-54536 号公報に示された従来の半導体装置を示す断面図である。図 35 に示すように P 型の単結晶シリコンからなる半導体基板 1 の表面にフィールド絶縁膜からなる素子分離領域 2 によって多数の活性領域が区画され、その中に

MOSFET (METAL OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTOR) が形成されている。MOSFET は二酸化シリコンからなる薄いゲート絶縁層 3 上に位置するゲート電極と、半導体基板 1 の表面に形成されたソース/ドレイン領域 6 を有する。ゲート電極 5 は、ゲート絶縁層 3、シリコン層 4 とで構成され、その上には低抵抗なシリサイド層 8 a、8 b が構成され、また、ソース/ドレイン領域 6 の上部には低抵抗シリサイド層 8 c が形成されている。シリコン層 4 上のシリサイド層 8 a、8 b の膜厚の合計はソース/ドレイン電極 6 上に形成されたシリサイド層 8 c より厚く形成されている。また、ゲート絶縁層 3、シリコン層 4 からなるゲート電極 5、及びシリサイド層 8 a、8 b の側部には、CVD (CHEMICAL VAPOR DEPOSITION) 技術及び反応性エッチングによって形成されたシリコン酸化膜等の絶縁物質からなるサイドウォール 9 が設けられている。このように形成された素子の上に、さらに絶縁膜 10 および配線層 11 が形成され、配線層 11 の一部はコンタクト 12 を介してソース/ドレイン電極 6 上のシリサイド層 8 c と接しており、ソース/ドレイン領域 6 の下部には高不純物濃度の N+型拡散領域 7 a が形成されており、また、サイドウォール 9 の下部には低不純物濃度の N-型拡散領域 7 b が形成されている。

【0003】このように構成された従来の半導体装置の構造では、シリサイド層 8 c は配線のコンタクト形成の場合のコンタクトホールのエッチングの際に、ソース/ドレイン領域 6 を突き抜けてエッチングしてしまうことを防止する役割を持っており、ゲート電極 5 上のシリサイド層 8 a、8 b はゲート電極 5 のシート抵抗を低減するために形成されたものである。また、ソース/ドレイン領域 6 上のシリサイド層 8 c よりも、ゲート電極 5 上のシリサイド層 8 a、8 b の合計の膜厚が厚い構成となっているのは、シリサイド層を厚く形成することで、シート抵抗をより小さくすることが可能だからであった。

【0004】

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されていたので、ゲート電極 5 のシート抵抗低減とコンタクトホール形成の際のエッチングによる、ソース/ドレイン領域 6 の突き抜け防止という目的は達成していた。しかし、最近、この従来の半導体装置が特許として出願された昭和 63 年 (1988 年) 8 月の時点では、国内においてはほとんど用いられていなかった CMP (CHEMICAL MECHANICAL POLISHING) 法という半導体装置形成における形成層平坦化技術が用いられるようになって、次のような問題点が生じることを発明者は発見した。

【0005】図 36 は、従来の技術を用いて形成した半導体装置の断面図であり、図において、10 は CVD 等の技術で、少なくともシリコン層 4 上、ソース/ドレイン領域 6 上に均一な厚さに形成された絶縁層、12 a は

ゲート電極 5 上のシリサイド層 8 b に当接するように形成されたコンタクトホール、12 b はソース/ドレイン領域 6 上のシリサイド層 8 c に当接して形成されたコンタクトホールであり、その他、図 35 で示した記号と同一記号は同一、若しくは相当部分を示すものである。この図 36 に示すように素子分離領域 2 上に形成されたシリサイド層 8 b 上の絶縁層 10 の厚さ A と、半導体基板 1 の一主面に形成されたソース/ドレイン領域 6 上に形成された絶縁層 10 の厚さ B は、ほぼ同じ厚さになっている。また、この絶縁層 10 の表面 10 a は、図に示すように段差 C が生じていることが分かる。このように絶縁層 10 の表面 10 a に凹凸があると、配線や素子を形成する場合などに寸法精度が悪くなる、配線の断線が生じるなどの問題が生じる。

【0006】そこで、先述の CMP 法を用いて処理すると、図 37 に示すように絶縁層 10 の上面 10 a は平坦化され、図 36 において示されていた絶縁層 10 の上面の 10 a の段差 C は消滅し、素子分離領域 2 上に形成されたシリサイド層 8 b 上の絶縁層 10 の厚さ D、つまり形成すべきコンタクトホール 12 a の深さ D は、絶縁層 10 を平坦化する前と比較すると、大幅に小さくなっていることが分かる。一方、ソース/ドレイン領域 6 上の絶縁層 10 の厚さ E、つまり形成すべきコンタクトホール 12 b の深さは、絶縁層 10 平坦化前とほとんど変わらなくすることができる。

【0007】ここで、発明者は平坦化した絶縁層 10 を形成し、ソース/ドレイン領域 6 上、ゲート電極 5 上に同時にコンタクトを形成する場合、コンタクトホールエッチングの際にゲート電極 5 上の絶縁層 10 が薄いために、ソース/ドレイン領域 6 に当接するコンタクトホール 12 b を完全に形成できるまでエッチングすると、ゲート電極 5 を突き抜けるまでエッチングしてしまい、半導体装置が正確に動作しなくなる恐れがあることを発見した。また、発明者は、この従来の技術において、ゲート電極 5 上にシリサイド層 8 a、8 b が形成されているが、CMP 法によって平坦化を行った絶縁層 10 を用いることによって、コンタクトホール形成の際の電極の突き抜け防止は従来よりも一層深刻化してしてしまうという問題が生じることも発見した。

【0008】この発明は、上記のような問題点を解決するためになされたものであり、半導体基板 1 に形成された絶縁層 10 を CMP 法によって平坦化した場合においても、ワード線コンタクト形成のためのコンタクトホール形成の際に、ゲート電極 5 の下層までエッチングすることなく、ソース/ドレイン領域 6 上、ゲート電極 5 上にコンタクトを形成できる半導体装置を得ることを目的としており、さらに、この装置に適した製造方法を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明の請求項 1 に係

る半導体装置は、絶縁層をCMP法によって平坦化する構造をとる場合、ゲート電極上、及びソース／ドレイン領域上にシリサイド層を、ソース／ドレイン領域上よりもゲート電極上の層が厚くなるように形成するものである。

【0010】この発明の請求項2に係る半導体装置は、請求項1の手段に加え、ゲート電極上に形成するシリサイド層を2層構造とし、その内の下層はスパッタリング法によって形成するチタンシリサイド層とし、上層は高融点金属層を形成後RTA(RAPID THERMAL ANNEALING)法によって熱処理することで形成したものである。

【0011】この発明の請求項3に係る半導体装置は、請求項1の手段に加え、ゲート電極上に形成するシリサイド層を2層構造とし、いずれの層も、別々の工程において、高融点金属層を形成後RTA法によって熱処理することで形成したものである。

【0012】この発明の請求項4に係る半導体装置は、請求項1の手段に加え、ゲート電極上に形成するシリサイド層を2層構造とし、いずれの層も、別々の工程において、高融点金属層を形成し、その後、同時にRTA法によって熱処理することで形成したものである。

【0013】この発明の請求項5に係る半導体装置は、請求項1の手段に加え、ゲート電極上に形成するシリサイド層を2層構造とし、下層は、ゲート電極を構成する多結晶シリコン層の上部に高融点金属イオンを注入し、上層は高融点金属層を形成し、その後、同時に両方の層をRTA法によって熱処理することで形成したものである。

【0014】この発明の請求項6に係る半導体装置は、請求項1の手段に加え、ゲート電極上に、2層のシリサイド層を形成し、その内の下層のシリサイド層は、上層のシリサイド層よりも選択比の高い物質で形成したものである。

【0015】この発明の請求項7に係る半導体装置は、請求項1の手段に加え、ソース／ドレイン領域上、及びゲート電極上にシリサイド層を形成し、ゲート電極上のシリサイド層上にはチタンナイトライド層を形成したものである。

【0016】この発明の請求項8に係る半導体装置は、請求項7に係る手段に加え、ゲート電極上のシリサイド層は、ソース／ドレイン領域上のシリサイド層よりも選択比の高い物質で形成したものである。

【0017】この発明の請求項9に係る半導体装置は、請求項1ないし8のいずれかの手段に加え、半導体基板の一面に形成する素子分離領域を半導体基板の一面から下の高さにかけて形成したものである。

【0018】この発明の請求項10に係る半導体装置の製造方法は、ソース／ドレイン領域上、ゲート電極上に形成するシリサイド層は、スパッタリング法によって形成するか、若しくは高融点金属をスパッタリング法によ

り積層後、RTA法によってシリサイド化させて形成、またはゲート電極を構成するシリコン層に高融点金属を注入後、RTA法によってシリサイド化して形成したものであり、少なくともゲート電極上にはもう一層のシリサイド層が形成され、さらに上記シリサイド層上にCMP法によって平坦化を行った絶縁層を形成し、上記絶縁層中にコンタクトホールを形成し、その後、上記コンタクトホール内に導電性物質を埋設することでコンタクトを形成する工程を含むものである。

【0019】この発明の請求項11に係る半導体装置の製造方法は、ゲート電極上にシリサイド層を形成後、上記シリサイド層上にチタンナイトライド層を形成し、その後、上記ゲート電極、シリサイド層、チタンナイトライド層の側面に接するように、絶縁物質によってサイドウォールを形成する工程を含むものである。

【0020】この発明の請求項12に係る半導体装置の製造方法は、まず半導体基板の一面に形成された素子分離領域の上部を半導体基板の一面程度の高さまでエッチングし、その後、素子分離領域上にゲート電極等を形成する工程を含むものである。

【0021】

【作用】この発明の請求項1に係る半導体装置は、ゲート電極上のシリサイド層の方が、ソース／ドレイン領域上に形成されたシリサイド層よりも厚く形成されていることにより、シリサイド層上に形成する絶縁層をCMP法によって平坦化し、この絶縁層にコンタクトを形成する際のコンタクトホール形成の場合に、エッチングによってゲート電極が損傷を受けることを防止するものである。

【0022】この発明の請求項2に係る半導体装置は、ゲート電極上のシリサイド層の方が、ソース／ドレイン領域上に形成されたシリサイド層よりも厚く形成されていることにより、シリサイド層上に形成する絶縁層をCMP法によって平坦化し、この絶縁層にコンタクトを形成する際のコンタクトホール形成の場合に、エッチングによってゲート電極が損傷を受けることを防止するものである。

【0023】この発明の請求項3に係る半導体装置は、ゲート電極上のシリサイド層の方が、ソース／ドレイン領域上に形成されたシリサイド層よりも厚く形成されていることにより、シリサイド層上に形成する絶縁層をCMP法によって平坦化し、この絶縁層にコンタクトを形成する際のコンタクトホール形成の場合に、エッチングによってゲート電極が損傷を受けることを防止するものである。

【0024】この発明の請求項4に係る半導体装置は、ゲート電極上のシリサイド層の方が、ソース／ドレイン領域上に形成されたシリサイド層よりも厚く形成されていることにより、シリサイド層上に形成する絶縁層をCMP法によって平坦化し、この絶縁層にコンタクトを形

成する際のコンタクトホール形成の場合に、エッチングによってゲート電極が損傷を受けることを防止するものである。

【0025】この発明の請求項5に係る半導体装置は、ゲート電極上のシリサイド層の方が、ソース／ドレイン領域上に形成されたシリサイド層よりも厚く形成されていることにより、シリサイド層上に形成する絶縁層をCMP法によって平坦化し、この絶縁層にコンタクトを形成する際のコンタクトホール形成の場合に、エッチングによってゲート電極が損傷を受けることを防止するものである。

【0026】この発明の請求項6に係る半導体装置は、請求項1に係る作用に加え、さらに、選択比の異なる層を重ねて形成することで、コンタクトホールエッチングの際に、ゲート電極を突き抜けて深くエッチングされることを抑制する。

【0027】この発明の請求項7に係る半導体装置は、ゲート電極の第一のシリサイド層の上にさらにチタンナイトライド層を形成したことで、ゲート電極形成のエッチングの際にこの上部に形成されるレジストパターンの露光時に、レジスト膜の下面でのエネルギー線の反射を抑制する。

【0028】この発明の請求項8に係る半導体装置は、ゲート電極上にのみ選択比の高いシリサイド層を形成したことによってソース／ドレイン領域上に形成されたシリサイド層よりもゲート電極はエッチングされにくい構造となっており、ソース／ドレイン領域とゲート電極に当接するように、同時にコンタクトホールを形成する場合に、ゲート電極よりも深くエッチングすることを防止する。

【0029】この発明の請求項9に係る半導体装置は、1ないし8のいずれかの作用に加え、半導体基板の一主面に形成する素子分離領域を半導体基板の一主面から下の高さにかけて形成したため、素子分離領域上に形成されるゲート電極と半導体基板の一主面に形成されるソース／ドレイン領域の上部に形成されるシリサイド層の高さの差が小さくなる。

【0030】この発明の請求項10に係る半導体装置の製造方法は、ゲート電極上にはソース／ドレイン領域上のシリサイド層よりも厚くシリサイド層を形成する工程を有しているため、ソース／ドレイン領域、ゲート電極に当接するようにコンタクトを形成する際、ゲート電極上のシリサイド層は、ソース／ドレイン領域上のシリサイド層よりも強いエッチングストッパーとなる。

【0031】この発明の請求項11に係る半導体装置の製造方法は、ゲート電極上に形成されたシリサイド層の上にチタンナイトライド層を形成する工程を有しており、ゲート電極形成のためのレジストパターン形成においてレジスト膜底面でのエネルギー線の反射がない。

【0032】この発明の請求項12に係る半導体装置の

製造方法は、請求項10、11のいずれかの作用に加え、半導体基板の一主面に形成された素子分離領域の上部を半導体基板の一主面の高さまでエッチングする工程と、その素子分離領域の上にゲート電極等を形成する工程を有することで、素子分離領域上に形成されるゲート電極と半導体基板の一主面に形成されるソース／ドレイン領域上のシリサイド層の高さの差が小さくなる。

【0033】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1において、5はゲート絶縁層3、シリコン層4からなるゲート電極、13aは半導体基板の一主面下に形成されたP型不純物拡散領域、13bは半導体基板の一主面下に形成されたN型不純物拡散領域、14a及び14bはそれぞれP型拡散領域、P型拡散領域を示している。15bはゲート電極5上に形成されたシリサイド層、16a及び16bはソース／ドレイン領域6上に形成されたシリサイド層、17はゲート電極5上のシリサイド層15bに当接するように形成されたワード線コンタクト、18a、18bはソース／ドレイン領域6上に形成されたシリサイド層16a、16bに当接するように形成されたコンタクト、19a、19bはCMP法によって平坦化した絶縁層20の上に金属等で構成された配線を示している。その他、従来例の図35ないし図37で示した記号と同一の記号は同一、若しくは相当部分を指すものである。

【0034】次に、図1で示した半導体装置の製造方法について、図2ないし図11を参照して説明する。まず、図2に示すように半導体基板1の一主面に素子分離領域2を形成し、Nチャネルトランジスタを形成する領域にはP型不純物拡散領域13aを、Pチャネルトランジスタを形成する領域にはN型不純物拡散領域13bを形成する。次に、半導体基板1の一主面の素子分離領域2以外の領域にはゲート絶縁層となる絶縁層22を形成し、上記素子分離領域2と絶縁層22が形成された半導体基板1上には多結晶シリコン層21をスパッタ若しくはCVD技術によって形成する。さらに、その多結晶シリコン層21上にはスパッタリング法等の方法によってチタン層を積層後、シリサイド化することでチタンシリサイド層23を形成する(図2)。

【0035】次に、ゲート電極形成のため、上記チタンシリサイド層23上にゲート電極となる領域の上部にレジストパターンを形成し、これをマスクとしてエッチングを行い、その後レジストパターンを除去すると図3に示すようにゲート電極5を構成するシリコン層4と、その上に形成されるシリサイド層15が形成される。その後、図4に示すようにレジスト膜24を形成し、25で示すイオン注入方向、つまり半導体基板1に対して斜め方向からN型拡散領域13bにP型不純物を注入し、P型拡散領域14bを形成する。また、その後、レジス

ト膜 24 を除去し、P 型拡散領域 13a に対し、同様の処理を行い、P 型拡散領域 13a の上部に N 型不純物を注入し、LDD (LIGHTLY DOPED DRAIN) 構造を形成するための N-型拡散領域 7b を形成する。

【0036】次に、図 5 に示すように絶縁層 26 を半導体基板 1 の全面に積層する。これを異方性エッチングすることでゲート電極 5 の側面部に絶縁層 26 が残され、図 6 に示すようなサイドウォール 9 が形成される。この時、ソース/ドレイン領域 6 上のゲート絶縁層 22 も同時に異方性エッチングによって除去され、ソース/ドレイン領域 6 上の半導体基板 1 は露出された状態となる。その後、図 7 に示すようにレジスト膜 27 を形成し、28 に示すイオン注入方向から P 型不純物イオンを N 型拡散領域 13b の上部に半導体基板 1 の一主面に対して垂直方向に注入する。この処理によって P+ 拡散領域 14a を形成する。その後、レジスト膜 27 を除去し、同様に、P 型拡散領域 13a に対し、N 型不純物を注入し、N+ 型拡散領域 7a を形成する。このような処理をすることで LDD 構造が構成される。

【0037】次に、拡散層形成時にソース/ドレイン領域 6 上に形成された自然酸化膜はライトエッチングによって除去しておき、半導体基板 1 を露出させ、図 8 に示すように半導体基板 1 の全面にチタン層 29 をスパッタリング法等の方法で形成する。次に、RTA 法で約 600～900℃ で数十秒加熱する。このような処理を経て、図 9 に示すように、ソース/ドレイン領域 6 上にはシリサイド層 16a、16b が、また、シリコン層 4 上の前の工程において形成したシリサイド層 15a 上には、さらにソース/ドレイン領域 6 上に形成されたシリサイド層 16a、16b と同じ厚さのシリサイド層が積まれ、その結果、ソース/ドレイン領域 6 上のシリサイド層 16a、16b よりも厚いシリサイド層 15b (シリサイド層 15a を含む) が形成されることになる。

【0038】次に、上記のような素子が形成された半導体基板 1 の全面に、図 10 に示すように絶縁層 20 を形成する。このとき、形成された絶縁層 20 は半導体基板 1 上にゲート電極 5 や素子分離領域 2 が形成されているため、その表面は平坦ではなく、凹凸ができた状態となっている。この状態のまま配線等を絶縁層 20 上に形成すると寸法精度が悪くなったり、断線してしまう等の恐れがある。そこで、最近になって用いられるようになった CMP 技術で平坦化を行う。この方法を用いて平坦化を行うことで、図 11 に示すように、絶縁層 20 の上部は凹凸のない面となり、この層上に配線を形成することが極めて容易になる上、その配線の寸法精度も極めて良いものとなる。

【0039】また、ソース/ドレイン領域 6、ゲート電極 5 上のシリサイド層 15b、16a、16b に当接するようにコンタクト 17、18a、18b を形成する際に、同時のエッチングによってコンタクトホールを形成

しても、ゲート電極 5 上に形成したシリサイド層 15b は厚く、その選択比は大きいため、深くエッチングされ過ぎてゲート電極 5 が損傷を受けることはない。このようにして、図 1 に示す平坦化した絶縁層 20 を含む半導体装置、特に電界効果トランジスタは形成される。

【0040】また、図 1 の構造と同様の構造を得ることが可能な別の方法を紹介しますと、以下ようになる。一つは、ゲート電極 5 となるシリコン層 4 の上に形成するシリサイド層 15b の構造を 2 層構造とし、このシリサイド層は、まず、それぞれチタンなどの高融点金属をスパッタ法等によって積層しておき、その後、RTA 法によって同時にシリサイド化し、2 層のシリサイド層を得るというものである。さらに、ここで積層する高融点金属層の下層を上層より選択比の高い物質で構成すると、ゲート電極 5 上のシリサイド層はソース/ドレイン領域 6 上のシリサイド層 16a、16b に比べ、非常に高い選択比を有することになり、コンタクトホールの形成が容易になる。

【0041】また、別の方法として、ゲート電極 5 上のシリコン層 4 の上に形成するシリサイド層 15b を 2 層構造とし、下層のシリサイド層 15a は、シリコン層 4 の上部に高融点金属イオンを注入し、その後、RTA 法によってシリサイド化して得るというものである。これらの方法を用いても図 1 に示す構造と同じものが得られ、同様の効果が得られる。

【0042】実施例 2. 以下、この発明の実施例 2 について説明する。図 12 において、30 はゲート電極 5 を構成するシリコン層 4 上に形成された、チタンシリサイドの 2～3 倍の選択比を持つコバルトシリサイド層であり、31 はコバルトシリサイド層 30 の上に形成されたチタンナイトライド層である。また、32 は上記ゲート電極 5 を構成するシリコン層 4、コバルトシリサイド層 30、チタンナイトライド層 31 の側面に絶縁層によって構成されたサイドウォールを示している。その他、従来例及び実施例 1 で示した記号と同一の記号は同一、若しくは相当部分を示している。

【0043】次に、図 12 で示した半導体装置について、その製造工程を図 13 ないし図 21 を参照して説明する。まず、図 13 に示すように、半導体基板 1 の一主面に素子分離領域 2 を形成し、N チャネルトランジスタを形成する領域には P 型不純物拡散領域 13a を、P チャネルトランジスタを形成する領域には N 型不純物拡散領域 13b を形成する。次に、半導体基板 1 の一主面の素子分離領域 2 以外の領域にはゲート絶縁層 3 となる絶縁層 22 を形成し、上記素子分離領域 2 と絶縁層 22 が形成された半導体基板 1 上には多結晶シリコン層 21 をスパッタ若しくは CVD 技術によって形成する。さらに、その多結晶シリコン層 21 上にはスパッタリング法等の方法によってコバルト層 33 を積層する。次に、このコバルト層 33 を RTA 法などにより、シリサイド化

することで、図 14 に示すコバルトシリサイド層 30 を形成する。

【0044】その後、さらに、半導体基板 1 の全面にチタンナイトライド層 31 を形成する。次に、ゲート電極 5 形成のため、所定の形状にレジストパターンを形成し、エッチングを行い、上記チタンナイトライド層 31、コバルトシリサイド層 30、多結晶シリコン層 21 をゲート電極 5 の寸法通りに形成し、図 16 に示すようにゲート電極 5 を構成するシリコン層 4、その上部に構成されるコバルトシリサイド層 30、さらにその上にチタンナイトライド層 31 が形成される。

【0045】次に、図 17 に示すようにレジスト膜 34 を形成し、35 で示すイオン注入方向、つまり半導体基板 1 に対して斜め方向から N 型拡散領域 13b に P 型不純物を注入し、P-型拡散領域 14b を形成する。また、その後、レジスト膜 34 を除去し、P 型拡散領域 13a に対しても同様の処理を行い、P 型拡散領域 13a の上部に N 型不純物を注入し、LDD 構造を形成するための N-型拡散領域 7b を形成する。さらに、ゲート電極 5 を構成するシリコン層 4、コバルトシリサイド層 30、チタンナイトライド層 31 の側壁に絶縁材料によってサイドウォール 32 を形成する (図 18)。このサイドウォール形成工程は実施例 1 での工程と同様であるので説明を省略する。また、ソース/ドレイン領域 6 上の絶縁層 22 は、この時、同時に除去され、ソース/ドレイン領域 6 上は半導体基板 1 が露出した状態となっている。

【0046】その後、図 19 に示すようにレジスト膜 37 を形成し、36 に示すイオン注入方向から P 型不純物イオンを N 型拡散領域 13b の上部に半導体基板 1 の一主面に対して垂直方向に注入する。この処理によって P+ 拡散領域 14a を形成する。その後、レジスト膜 37 を除去し、同様に、P 型拡散領域 13a に対し、N 型不純物を注入し、N+ 型拡散領域 7a を形成する。このような処理をすることで LDD 構造が構成される。さらに、拡散層形成時に、ソース/ドレイン領域 6 上に形成された自然酸化膜はライトエッチングによって除去し、半導体基板 1 を露出させた状態としておく (図 20)。

【0047】次に、この半導体基板 1 上に高融点金属であるチタン層 38 をスパッタリング法などによって形成し (図 21)、次に、RTA 法などによってチタン層 38 をシリサイド化させる。この際、ゲート電極 5 上部のチタンナイトライド層 31 上のチタン層 38 は、チタンナイトライド層 31 が保護膜となってシリサイド化されず、ソース/ドレイン領域 6 上のチタン層 38 のみシリサイド化され、チタンシリサイドとなる。その後、チタンシリサイドに変化しなかったチタン層 38 を除去すると、図 12 に示した構造が完成する。

【0048】このように形成された半導体基板 1 上の電界効果トランジスタ上に配線を形成する際のコンタクト

ホール形成において、半導体基板 1 全面に実施例 1 で示した場合と同様に絶縁膜を積層して、その後、CMP 法を用いて、絶縁膜表面の平坦化を行い、ゲート電極 5 上のシリサイド層上、及び、ソース/ドレイン領域 6 上のシリサイド層 16a、16b 上にコンタクトホールを同時に形成しても、そのコンタクトの深さが異なる場合においても、ゲート電極 5 上のシリサイド層、又はソース/ドレイン領域 6 上のシリサイド層 16a、16b がそれぞれ下層の保護膜となってエッチングによる突き抜け防止の働きをする。また、図 12 に示すように、ソース/ドレイン領域 6 上のシリサイド層 16a、16b よりも、ゲート電極 5 上のシリサイド層 30 の方が半導体基板 1 の一主面より高い位置にあり、コンタクトホール形成の際にゲート電極 5 上のシリサイド層 30 がエッチングされ過ぎる恐れがあるが、ゲート電極 5 上には、ソース/ドレイン領域 6 上のチタンシリサイド層 16a、16b の 2~3 倍の選択比を有するコバルトシリサイドという材料を用いたことでエッチングされ過ぎることを防止できる。

【0049】実施例 3: 以下、この発明の実施例 3 について説明する。図 22 において、39 は LOCOS (LOCAL OXIDATION OF SILICON) 法によって形成し、その上部をエッチングすることによって削り取った素子分離領域であり、40 はソース/ドレイン領域 6 上に形成されたシリサイド層 16a、16b と同じ物質で構成され、同じ工程で形成されたシリサイド層である。また、41 はシリサイド層 40 の下に形成された、シリサイド層 16a、16b、40 よりも選択比の大きい物質で構成されたシリサイド層である。その他、従来例、及び実施例 1、2 で示した記号と同一の記号は同一、若しくは相当部分を示すものである。

【0050】次に、図 22 で示した半導体装置について、その製造工程を図 23 ないし図 34 を参照して説明する。まず、図 23 において 13a は半導体基板の一主面下に形成された P 型不純物拡散領域、13b は半導体基板 1 の一主面下に形成された N 型不純物拡散領域、2 は下敷き酸化膜 46 に部分的に LOCOS 法によって形成された素子分離領域を示している。

【0051】次に、CMP 法によって図 23 で示した構造の上部から半導体基板 1 の一主面の高さまで、表面が平坦になるまでエッチングし、素子分離領域 39 を形成する (図 24)。次に、素子分離領域 39 以外の半導体基板 1 表面にゲート絶縁層 3 となる絶縁層 22 を形成する (図 25)。次に、図 26 に示すように多結晶シリコン層 21 を形成し、これをレジストパターンを形成してエッチングすることでパターンニングし、ゲート電極 5 を構成するシリコン層 4 を形成する (図 27)。

【0052】その後、図 28 に示すように、実施例 1 で示した場合と同様に、N-型不純物拡散領域、P-型不純物拡散領域を形成する。次に、ゲート電極 5 を構成する

シリコン層 4 の側面にサイドウォール 4 2 を形成後、半導体基板 1 の一主面下に実施例 1 と同じように N+ 型不純物拡散領域 7 a、P+ 型不純物拡散領域 1 4 a を形成する (図 2 9)。次に、ソース/ドレイン領域 6 上に形成された絶縁層 2 2 を除去するため、ライトエッチングを行い、その後、この半導体基板 1 の全面に対しチタン層 4 3 を形成し (図 3 0)、これを R T A 法によってシリサイド化させることでゲート電極 5 上、ソース/ドレイン領域 6 上にチタンシリサイド層 4 0、1 6 a、1 6 b を形成する (図 3 1)。

【0053】次に、上記半導体基板 1 の全面に絶縁層 4 4 を積層し (図 3 2)、ゲート電極上に形成したシリサイド層 4 0 の上面の高さまでエッチバックする (図 3 3)。その後、この半導体基板 1 の全面にコバルト層 4 5 を積層し (図 3 4)、窒素雰囲気中で熱処理を施すと、図 2 2 にあるように、シリサイド層 4 0 下にコバルトシリサイド層 4 1 が形成できる。この機構については、既に、Appl. Phys. Lett. 58(12), 25Mar. 1991 "Growth of epitaxial CoSi₂ on(100)Si", VMIC ConPerence1990 June12-13 "Formation of Self-Aligned TiN/CoSi₂ Bilayer from Co/Ti/Si and Contact Fill." 等に記載されているのでこの説明は省略する。

【0054】この方法で形成した図 2 2 に示す半導体装置においては、ソース/ドレイン領域 6 上に形成されるシリサイド層 1 6 a、1 6 b よりもゲート電極 5 上に形成されるシリサイド層 4 0、4 1 の方が厚い膜となっており、さらに、コバルトシリサイド層 4 1 はチタンシリサイド層 1 6 a、1 6 b、4 0 よりも 2 ないし 3 倍の選択比を有するため、図 2 2 の半導体装置の上に CMP 法によって平坦化を行った絶縁層を形成後、ソース/ドレイン領域 6 上、及びゲート電極 5 を構成するシリコン層 4 上にコンタクトホールを同じ工程において形成しても、上記シリサイド層 1 6 a、1 6 b、4 0、4 1 がそれぞれエッチングストッパーとなり、ゲート電極 5 がエッチングされ過ぎて突き抜けることはない。また、上記のように CMP 法で平坦化した絶縁層を用いると、配線や素子を形成する際、寸法精度の良いものが形成できる。

【0055】また、この実施例 3 においては、素子分離領域 2 の上部をエッチングし、素子分離領域 2 上のゲート電極 5 と半導体基板 1 の一主面上のゲート電極 5 の高さが同じになるように形成したが、実施例 1、2 において示したように素子分離領域 2 の上面を残した構造にしても、同様の効果を奏する構成が得られる。また、素子分離領域を半導体基板 1 の一主面以下の位置に形成したこの構造は、実施例 1、2 で示した半導体装置にも用いることができる。

【0056】

【発明の効果】以上のように、この発明の請求項 1 の発明によれば、半導体基板の一主面に形成されたトランジ

スタ等の素子の上に形成された、CMP 法によって平坦化した絶縁層にコンタクトホールを形成する際、ゲート電極がエッチングされ過ぎ、電極を突き抜けてしまうことを防止し、さらに、平坦化された絶縁層上に容易に寸法精度の良い配線や素子を形成することが可能となる。

【0057】また、この発明の請求項 2 の発明に示すように、ゲート電極上の二層のシリサイド層の一層を高融点金属をシリサイド化させることで得、もう一層はスパッタリングによって積層することで得ても、請求項 1 の効果と同様の効果を得ることができる。

【0058】さらに、この発明の請求項 3 の発明に示すように、ゲート電極上の二層のシリサイド層は、それぞれ高融点金属層を別々に積層し、別々の工程において R T A 法によってシリサイド化することで形成しても、請求項 1 の効果と同様の効果を得ることができる。

【0059】また、この発明の請求項 4 の発明に示すように、ゲート電極上の二層のシリサイド層は、それぞれ高融点金属層を別々に積層し、同時に R T A 法によってシリサイド化することで形成しても、請求項 1 の効果と同様の効果を得ることができる。

【0060】さらに、この発明の請求項 5 の発明に示すように、ゲート電極上の二層のシリサイド層の内の一層は、ゲート電極を構成するシリコン層上部に高融点金属イオンを注入し、もう一層は高融点金属膜を積層し、これらを同時に R T A 法によってシリサイド化することで形成しても、請求項 1 の効果と同様の効果を得ることができる。

【0061】また、この発明の請求項 6 の発明に示すように、ゲート電極上の二層のシリサイド層は、それぞれ選択比の異なる二つの物質によって構成されていても、請求項 1 の効果と同様の効果を得ることができる。

【0062】さらに、この発明の請求項 7 の発明に示すように、ゲート電極上のシリサイド層上にさらにチタナイトライド層を形成したことで、ゲート電極形成のエッチングの際にこの上部に形成されるレジストパターンの露光時にレジスト膜の下面でのエネルギー線の反射を抑制し、寸法精度良くパターンを形成することが可能であり、寸法制度の良い半導体装置を得ることができる。

【0063】また、この発明の請求項 8 の発明に示すように、ゲート電極上のみ選択比の高いシリサイド層を形成することで、ソース/ドレイン領域上、ゲート電極上に同時にコンタクトホールを形成する際、ゲート電極以下の高さの層までエッチングが進むことを防止し、これによって容易に寸法精度の良い半導体装置を得ることが可能となる。

【0064】さらに、この発明の請求項 9 の発明に示すように、半導体基板の一主面に形成する素子分離領域を半導体基板の一主面から下の高さにかけて形成したため、半導体基板の一主面上にも素子分離領域がある場合と比較すると、ソース/ドレイン領域の上面とゲート電

極の上面との高さの差が小さくなり、その後、金属配線等を素子の上部に形成する際に必要なコンタクトホール形成が容易になる。また、ゲート電極上のシリサイド層は、ソース／ドレイン領域上のシリサイド層よりも厚く形成されているため、コンタクトホール形成の際のエッチングによってゲート電極までエッチングされることを防止することが可能であり、精度の良い半導体装置が得られる。

【0065】また、この発明の請求項10の発明に示すように、ゲート電極上にはソース／ドレイン領域上のシリサイド層よりも厚くシリサイド層を形成する工程を有しているため、同時にゲート電極上、ソース／ドレイン領域上に当接するようにコンタクトを形成する際、ゲート電極上のシリサイド層はエッチングストッパーとして働き、ゲート電極上のコンタクトホールを浅く、ソース／ドレイン領域上のコンタクトホールを深く形成できる。また、コンタクトを形成するのはCMP法で平坦化した絶縁層であるため、絶縁膜上の配線形成が容易になるという効果がある。

【0066】さらに、この発明の請求項11の発明に示すように、ゲート電極上に形成されたシリサイド層上にチタンナイトライド層を形成する工程を有しており、ゲート電極形成のためのレジストパターン形成においてレジスト膜底面でのエネルギー線の反射がなく、寸法精度良くパターンが形成でき、従って、寸法精度の良い半導体装置が形成できるという効果がある。

【0067】また、この発明の請求項12の発明に示すように、半導体基板の一主面に形成された素子分離領域の上部を半導体基板の一主面の高さまでエッチングする工程と、その素子分離領域の上にゲート電極等を形成する工程を有することで、素子分離領域上に形成されるゲート電極上と半導体基板の一主面に形成されるソース／ドレイン領域上のシリサイド層の高さの差が小さくなり、ソース／ドレイン領域、及びゲート電極上に同時にコンタクトホールを形成する際にゲート電極の下まで突き抜けてエッチングすることを防止し、精度の良い半導体装置が得られる。

【図面の簡単な説明】

【図1】 この発明による一実施例による半導体装置を示す断面図である。

【図2】 この発明の半導体装置の製造工程を示す断面図である。

【図3】 この発明の半導体装置の製造工程を示す断面図である。

【図4】 この発明の半導体装置の製造工程を示す断面図である。

【図5】 この発明の半導体装置の製造工程を示す断面図である。

【図6】 この発明の半導体装置の製造工程を示す断面図である。

【図7】 この発明の半導体装置の製造工程を示す断面図である。

【図8】 この発明の半導体装置の製造工程を示す断面図である。

【図9】 この発明の半導体装置の製造工程を示す断面図である。

【図10】 この発明の半導体装置の製造工程を示す断面図である。

【図11】 この発明の半導体装置の製造工程を示す断面図である。

【図12】 この発明による一実施例による半導体装置を示す断面図である。

【図13】 この発明の半導体装置の製造工程を示す断面図である。

【図14】 この発明の半導体装置の製造工程を示す断面図である。

【図15】 この発明の半導体装置の製造工程を示す断面図である。

【図16】 この発明の半導体装置の製造工程を示す断面図である。

【図17】 この発明の半導体装置の製造工程を示す断面図である。

【図18】 この発明の半導体装置の製造工程を示す断面図である。

【図19】 この発明の半導体装置の製造工程を示す断面図である。

【図20】 この発明の半導体装置の製造工程を示す断面図である。

【図21】 この発明の半導体装置の製造工程を示す断面図である。

【図22】 この発明による一実施例による半導体装置を示す断面図である。

【図23】 この発明の半導体装置の製造工程を示す断面図である。

【図24】 この発明の半導体装置の製造工程を示す断面図である。

【図25】 この発明の半導体装置の製造工程を示す断面図である。

【図26】 この発明の半導体装置の製造工程を示す断面図である。

【図27】 この発明の半導体装置の製造工程を示す断面図である。

【図28】 この発明の半導体装置の製造工程を示す断面図である。

【図29】 この発明の半導体装置の製造工程を示す断面図である。

【図30】 この発明の半導体装置の製造工程を示す断面図である。

【図31】 この発明の半導体装置の製造工程を示す断面図である。

【図32】 この発明の半導体装置の製造工程を示す断面図である。

【図33】 この発明の半導体装置の製造工程を示す断面図である。

【図34】 この発明の半導体装置の製造工程を示す断面図である。

【図35】 従来の技術による半導体装置を示す断面図である。

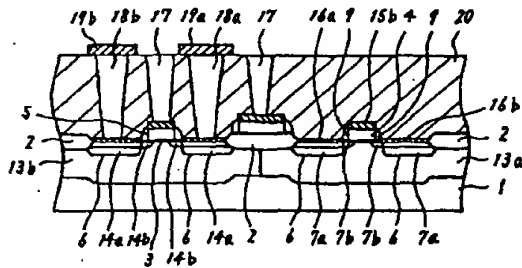
【図36】 従来の技術による半導体装置を示す断面図である。

【図37】 従来の技術による半導体装置を示す断面図である。

【符号の説明】

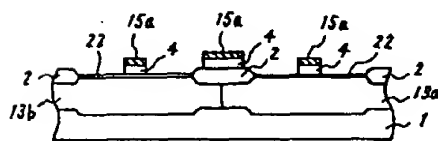
1. 半導体基板、2. 素子分離領域、3. ゲート絶縁層、4. シリコン層、5. ゲート電極、6. ソース/ドレイン領域、7 a. N+型拡散領域、7 b. N-型拡散領域、8 a.、8 b.、8 c. シリサイド層、9. サイドウォール、10. 絶縁層、11. 配線層、12. コンタクト、12 a.、12 b. コンタクトホール、13 a. P型不純物拡散領域、13 b. N型不純物拡散領域、14 a. P+型拡散領域、14 b. P-型拡散領域、15 a.、15 b.、16 a.、16 b. シリサイド層、17. ワード線コンタクト、18 a.、18 b. コンタクト、19 a.、19 b. 配線、20. 絶縁層、21. 多結晶シリコン層、22. 絶縁層、23. $TiSi_2$ 層、24. レジスト膜、25. イオン注入方向、26. 絶縁層、27. レジスト膜、28. イオン注入方向、29. Ti 層、30. $CoSi_2$ 層、31. TiN 層、32. サイドウォール、33. Co 層、34. レジスト膜、35.、36. イオン注入方向、37. レジスト膜、38. Ti 層、39. 素子分離領域、40. $TiSi_2$ 層、41. $CoSi_2$ 層、42. サイドウォール、43. Ti 層、44. 絶縁層、45. Co 層、46. 下敷き酸化膜

【図1】



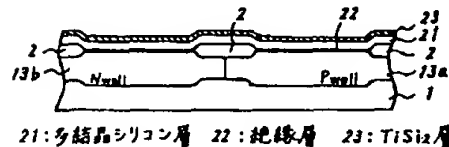
13a, 13b: P, N型不純物拡散領域
14a, 14b: P⁺, P⁻型拡散領域
15b, 16a, 16b: シリサイド層
17: ワード線コンタクト
18a, 18b: コンタクト
19a, 19b: 配線
20: 絶縁層

【図3】



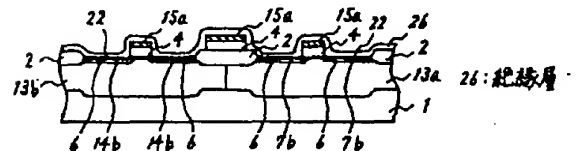
15a: シリサイド層

【図2】

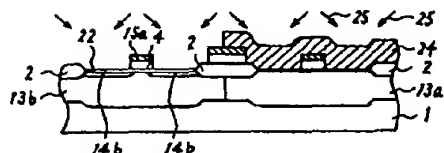


21: 多結晶シリコン層 22: 絶縁層 23: $TiSi_2$ 層

【図5】

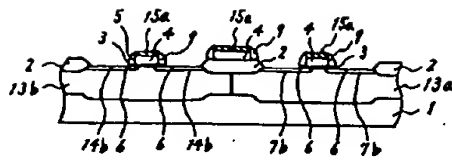


【図4】

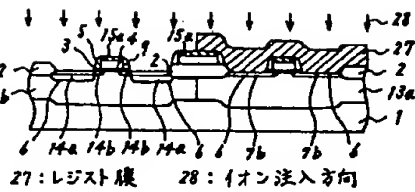


24: レジスト膜 25: イオン注入方向

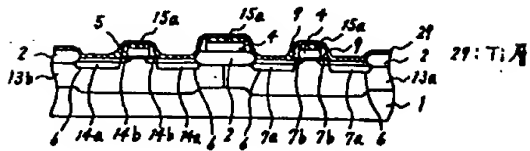
【図6】



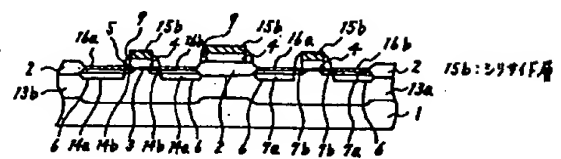
【図7】



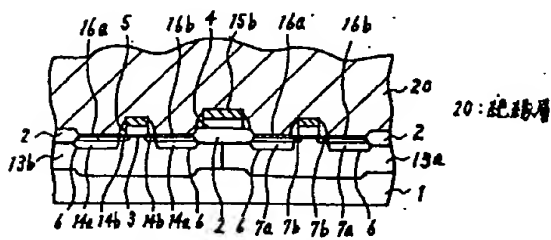
【図8】



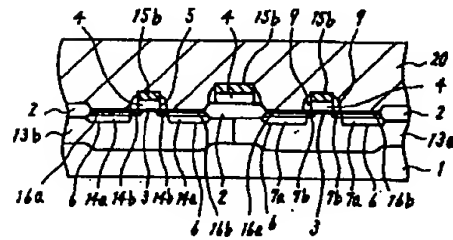
【図9】



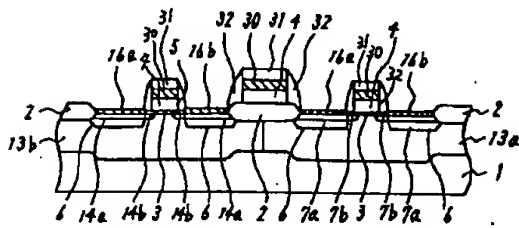
【図10】



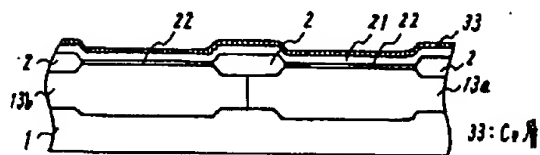
【図11】



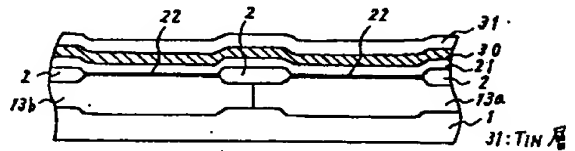
【図12】



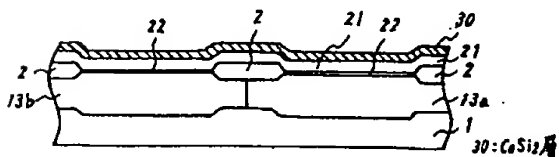
【図13】



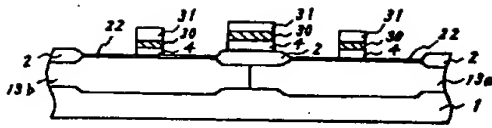
【図15】



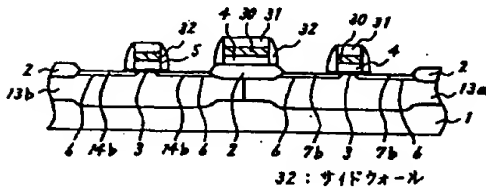
【図14】



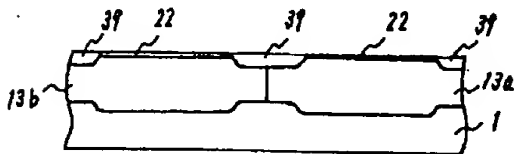
【図16】



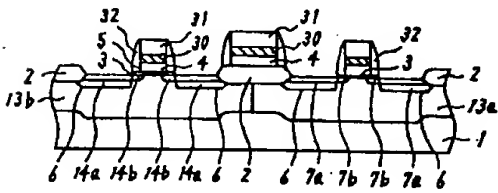
【図18】



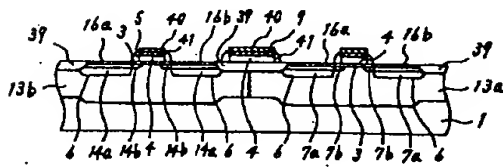
【図25】



【図20】

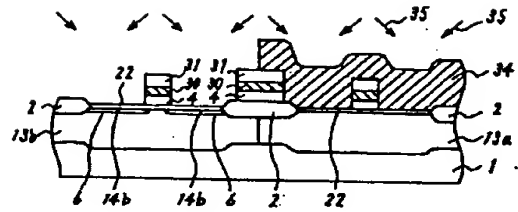


【図22】



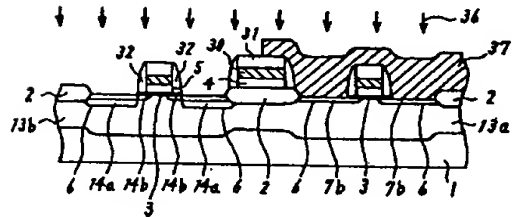
39: 素子分離領域
40: TiSi_2 層
41: CoSi_2 層

【図17】



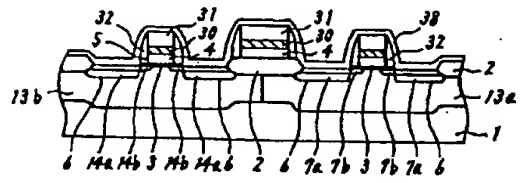
34: レジスト膜 35: イオン注入方向

【図19】



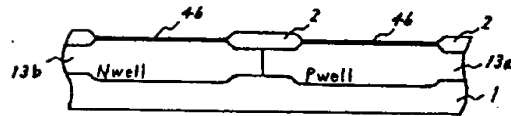
36: イオン注入方向 37: レジスト膜

【図21】



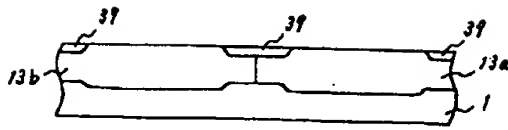
38: Ti層

【図23】

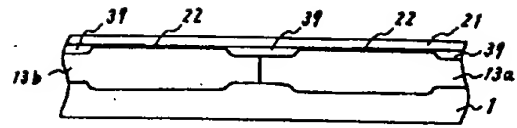


46: 下敷き酸化膜

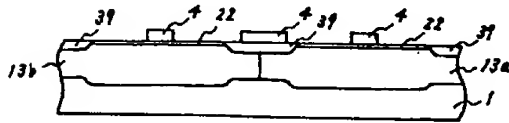
【図24】



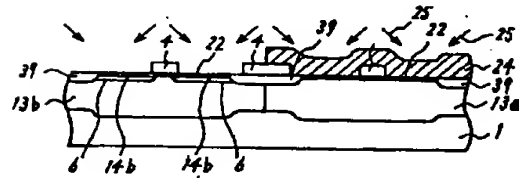
【図26】



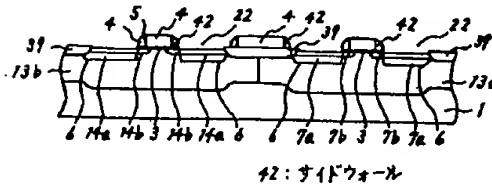
【図27】



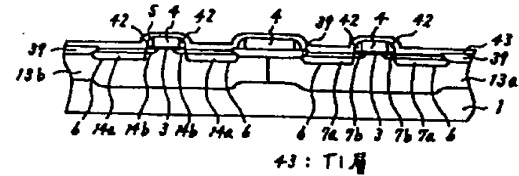
【図28】



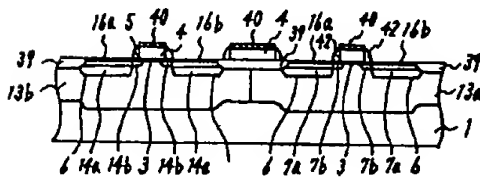
【図29】



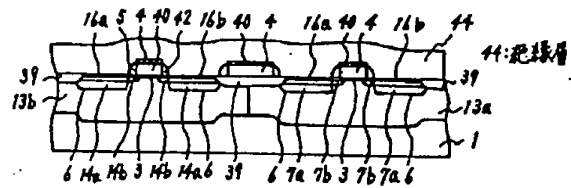
【図30】



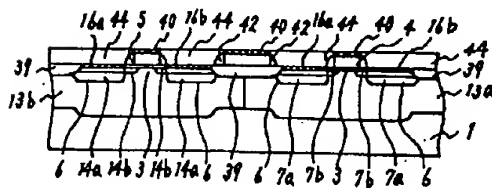
【図31】



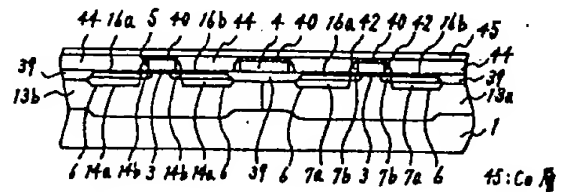
【図32】



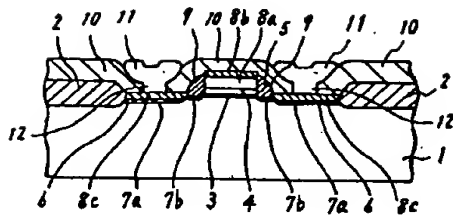
【図33】



【図34】

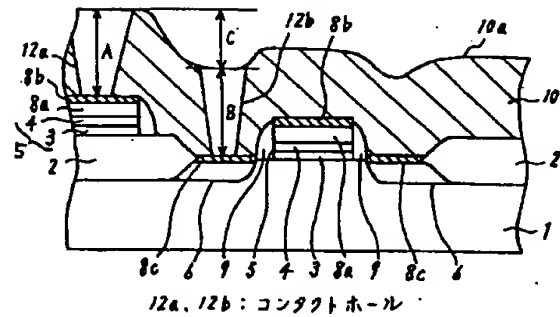


【図 35】



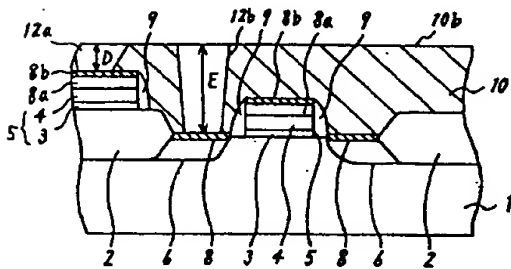
1:半導体基板、2:素子分離領域、3:ゲート絶縁層
 4:シリコン層、5:ゲート電極、6:ソース/ドレイン領域
 7a, 7b: N^+ , N^- 型拡散領域、8a, 8b, 8c:シリサイド層
 9:サイドウォール、10:絶縁層、11:配線層、12:コンタクト

【図 36】



12a, 12b: コンタクトホール

【図 37】



フロントページの続き

(51) Int. Cl. 6

H01L 21/336

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/78

301 P